

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2022-21830
(P2022-21830A)

(43)公開日

令和4年2月3日(2022. 2. 3)

(51)Int. Cl.

H03B 5/32 (2006.01)

F I

H03B 5/32

Z

テーマコード(参考)

5J079

審査請求 有 請求項の数 4 O L (全 13 頁)

(21)出願番号 特願2020-125663(P2020-125663)
 (22)出願日 令和2年7月22日(2020. 7. 22)
 (11)特許番号 特許第6967248号(P6967248)
 (45)特許公報発行日 令和3年11月17日(2021. 11. 17)

(71)出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (71)出願人 515217498
 株式会社Piezo Studio
 宮城県仙台市青葉区一番町一丁目四番一号
 (74)代理人 100098394
 弁理士 山川 茂樹
 (74)代理人 100064621
 弁理士 山川 政樹
 (72)発明者 野原 正也
 茨城県つくば市大穂1-1 大学共同利用機関法人 高エネルギー加速器研究機構内

最終頁に続く

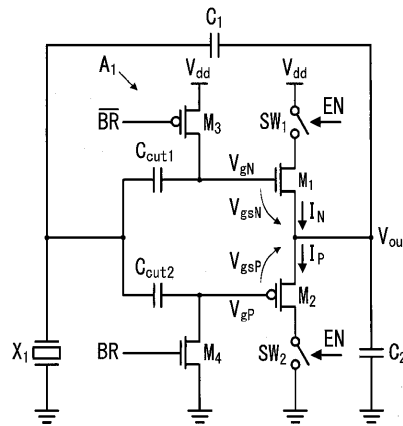
(54)【発明の名称】発振回路および電子機器

(57)【要約】

【課題】低消費電力および高速発振起動を実現する。

【解決手段】発振回路は、振動子 X_1 と、振動子 X_1 の両端子間に接続された容量 C_1 、 C_2 と、入力端子が振動子 X_1 と容量 C_1 との接続点に接続され、出力端子が容量 C_1 と容量 C_2 との接続点に接続された増幅回路Aを備える。増幅回路Aは、カスコード接続され、ソース端子同士の接続点が増幅回路Aの出力端子に接続されたNMOSトランジスタ M_1 とPMOSトランジスタ M_2 と、発振停止時にトランジスタ M_1 のゲート端子を電源電圧 V_{dd} に接続し、発振動作時にトランジスタ M_1 のゲート端子と電源電圧 V_{dd} を切り離すPMOSトランジスタ M_3 と、発振停止時にトランジスタ M_2 のゲート端子をグラウンドに接続し、発振動作時にトランジスタ M_2 のゲート端子とグラウンドを切り離すNMOSトランジスタ M_4 と、容量 C_{out1} 、 C_{out2} を含む。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

振動子と、

前記振動子の両端子間に直列に接続された第 1、第 2 の容量と、
入力端子が前記振動子と前記第 1 の容量との接続点に接続され、出力端子が前記第 1 の容量と前記第 2 の容量との接続点に接続された増幅回路とを備え、

前記増幅回路は、

カスコード接続され、ソース端子同士の接続点が増幅回路の出力端子に接続された第 1 の N 型トランジスタと第 1 の P 型トランジスタと、

発振停止時に前記第 1 の N 型トランジスタのゲート端子を電源電圧に接続し、発振動作時に前記第 1 の N 型トランジスタのゲート端子と電源電圧とを切り離す第 2 の P 型トランジスタと、

発振停止時に前記第 1 の P 型トランジスタのゲート端子をグラウンドに接続し、発振動作時に前記第 1 の P 型トランジスタのゲート端子とグラウンドとを切り離す第 2 の N 型トランジスタと、

一端が増幅回路の入力端子に接続され、他端が前記第 1 の N 型トランジスタのゲート端子に接続された第 3 の容量と、

一端が増幅回路の入力端子に接続され、他端が前記第 1 の P 型トランジスタのゲート端子に接続された第 4 の容量とを少なくとも含むことを特徴とする発振回路。

【請求項 2】

請求項 1 記載の発振回路において、

前記振動子は、ランガサイト型圧電単結晶の振動子であることを特徴とする発振回路。

【請求項 3】

請求項 1 または 2 記載の発振回路において、

前記増幅回路は、

前記第 1 の N 型トランジスタと、

前記第 1 の P 型トランジスタと、

発振停止時に Low となる第 1 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の N 型トランジスタのゲート端子に接続され、ソース端子が前記電源電圧に接続された前記第 2 の P 型トランジスタと、

発振停止時に High となる第 2 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の P 型トランジスタのゲート端子に接続され、ソース端子がグラウンドに接続された前記第 2 の N 型トランジスタと、

前記第 3、第 4 の容量と、

発振停止時に前記第 1 の N 型トランジスタのドレイン端子と前記電源電圧とを切り離し、発振動作時に前記第 1 の N 型トランジスタのドレイン端子と前記電源電圧とを接続する第 1 のスイッチと、

発振停止時に前記第 1 の P 型トランジスタのドレイン端子とグラウンドとを切り離し、発振動作時に前記第 1 の P 型トランジスタのドレイン端子とグラウンドとを接続する第 2 のスイッチとから構成されることを特徴とする発振回路。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の発振回路を備えたことを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、振動子を用いた発振回路に関するものである。

【背景技術】**【0002】**

近年、携帯電話機や I o T (Internet Of Things) 機器などの無線回路付き小型電子機器においては、バッテリーの長寿命化が求められていることから、機器に使われている電

10

20

30

40

50

子回路や電子部品の低消費電力化が重要技術課題となっている。

【0003】

小型電子機器では、従来から、図10に示すような水晶振動子を用いたインバータベースのピアース(Pierce)発振回路が広く使われている(特許文献1、特許文献2、特許文献3参照)。ピアース発振回路は、水晶振動子 X_{11} と、インバータ I_{NV} と、容量 C_{11} 、 C_{12} とから構成される。

【0004】

ピアース発振回路は、構成がシンプルなことから、長い間使われてきた。しかしながら、ピアース発振回路は、発振するための電圧成分が大きく取れず、定常的に電流を流すために消費電力が大きい、という課題があった。また、ピアース発振回路は、発振起動時間が遅いという課題があった。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第3409061号公報

【特許文献2】特開2004-328257号公報

【特許文献3】国際公開WO2013/035346号

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記課題を解決するためになされたもので、低消費電力および高速発振起動を実現することができる発振回路を提供することを目的とする。

20

【課題を解決するための手段】

【0007】

本発明の発振回路は、振動子と、前記振動子の両端子間に直列に接続された第1、第2の容量と、入力端子が前記振動子と前記第1の容量との接続点に接続され、出力端子が前記第1の容量と前記第2の容量との接続点に接続された増幅回路とを備え、前記増幅回路は、カスコード接続され、ソース端子同士の接続点が増幅回路の出力端子に接続された第1のN型トランジスタと第1のP型トランジスタと、発振停止時に前記第1のN型トランジスタのゲート端子を電源電圧に接続し、発振動作時に前記第1のN型トランジスタのゲート端子と電源電圧とを切り離す第2のP型トランジスタと、発振停止時に前記第1のP型トランジスタのゲート端子をグラウンドに接続し、発振動作時に前記第1のP型トランジスタのゲート端子とグラウンドとを切り離す第2のN型トランジスタと、一端が増幅回路の入力端子に接続され、他端が前記第1のN型トランジスタのゲート端子に接続された第3の容量と、一端が増幅回路の入力端子に接続され、他端が前記第1のP型トランジスタのゲート端子に接続された第4の容量とを少なくとも含むことを特徴とするものである。

30

【0008】

また、本発明の発振回路の1構成例において、前記振動子は、ランガサイト型圧電単結晶の振動子である。

40

また、本発明の発振回路の1構成例において、前記増幅回路は、前記第1のN型トランジスタと、前記第1のP型トランジスタと、発振停止時にLowとなる第1のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のN型トランジスタのゲート端子に接続され、ソース端子が前記電源電圧に接続された前記第2のP型トランジスタと、発振停止時にHighとなる第2のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のP型トランジスタのゲート端子に接続され、ソース端子がグラウンドに接続された前記第2のN型トランジスタと、前記第3、第4の容量と、発振停止時に前記第1のN型トランジスタのドレイン端子と前記電源電圧とを切り離し、発振動作時に前記第1のN型トランジスタのドレイン端子と前記電源電圧とを接続する第1のスイッチと、発振停止時に前記第1のP型トランジスタのドレイン端子とグラウンドとを切り

50

離し、発振動作時に前記第1のP型トランジスタのドレイン端子とグラウンドとを接続する第2のスイッチとから構成されることを特徴とするものである。

また、本発明の電子機器は、上記の発振回路を備えたことを特徴とするものである。

【発明の効果】

【0009】

本発明によれば、増幅回路の第1のN型トランジスタのゲート端子を、第2のP型トランジスタのON時に電源電圧と接続し、第1の容量と第3の容量とを介して増幅回路の出力電圧を第1のN型トランジスタのゲート端子に帰還し、また増幅回路の第1のP型トランジスタのゲート端子を、第2のN型トランジスタのON時にグラウンドと接続し、第1の容量と第4の容量とを介して増幅回路の出力電圧を第1のP型トランジスタのゲート端子に帰還することにより、低消費電力および高速発振起動を実現することができる。

10

【図面の簡単な説明】

【0010】

【図1】図1は、従来のコルピッツ発振回路の構成を示す回路図である。

【図2】図2は、本発明の実施例に係る発振回路の構成を示す回路図である。

【図3】図3は、本発明の実施例に係る発振回路におけるバイアス用のPMOSトランジスタとNMOSトランジスタのOFF時の等価回路図である。

【図4】図4は、本発明の実施例に係る発振回路の出力電圧の変動範囲、バイアス用のPMOSトランジスタとNMOSトランジスタのゲート電圧およびゲート-ソース間電圧の変動範囲を示す図である。

20

【図5】図5は、本発明の実施例に係る発振回路における発振起動後の発振波形を示す図である。

【図6】図6は、従来のピアース発振回路と本発明の実施例に係る発振回路における出力電圧およびトランジスタの電流の波形を示す図である。

【図7】図7は、ピアース発振回路のインバータの構成を示す回路図である。

【図8】図8は、従来のピアース発振回路と本発明の実施例に係る発振回路の位相雑音特性を示す図である。

【図9】図9は、ランガサイト型圧電単結晶の振動子および水晶振動子の等価回路図である。

【図10】図10は、従来のピアース発振回路の構成を示す回路図である。

30

【発明を実施するための形態】

【0011】

以下、本発明の実施例について図面を参照して説明する。まず、本実施例の発振回路の基になるコルピッツ(Colpitts)発振回路の構成を図1に示す。コルピッツ発振回路は、振動子 X_1 と、増幅回路 A_1 と、2つの容量 C_1 、 C_2 とから構成される。

【0012】

このコルピッツ発振回路を基に、増幅器を低消費電力化した本実施例の発振回路を図2に示す。本実施例の発振回路は、振動子 X_1 と、振動子 X_1 の両端子間に直列に接続された容量 C_1 、 C_2 と、入力端子が振動子 X_1 と容量 C_1 との接続点に接続され、出力端子が容量 C_1 と容量 C_2 との接続点に接続された増幅回路 A_1 とを備えている。

40

【0013】

増幅回路 A_1 は、ソース端子が増幅回路 A_1 の出力端子に接続されたNMOSトランジスタ(N型トランジスタ) M_1 と、ソース端子が増幅回路 A_1 の出力端子に接続されたPMOSトランジスタ(P型トランジスタ) M_2 と、ゲート端子にバイアスリセット信号 \overline{BR} が入力され、ドレイン端子がNMOSトランジスタ M_1 のゲート端子に接続され、ソース端子が電源電圧 V_{DD} に接続されたPMOSトランジスタ M_3 と、ゲート端子にバイアスリセット信号 \overline{BR} が入力され、ドレイン端子がPMOSトランジスタ M_2 のゲート端子に接続され、ソース端子がグラウンドに接続されたNMOSトランジスタ M_4 と、一端が増幅回路 A_1 の入力端子に接続され、他端がNMOSトランジスタ M_4 のゲート端子に接続された容量 C_{in} と、一端が増幅回路 A_1 の入力端子に接続され、他端がPMOSトランジ

50

スタM₂のゲート端子に接続された容量C_{cut2}と、発振停止時にNMOSトランジスタM₁のドレイン端子と電源電圧V_{dd}とを切り離し、発振動作時にNMOSトランジスタM₁のドレイン端子と電源電圧V_{dd}とを接続するスイッチSW₁と、発振停止時にPMOSトランジスタM₂のドレイン端子とグラウンドとを切り離し、発振動作時にPMOSトランジスタM₂のドレイン端子とグラウンドとを接続するスイッチSW₂とから構成される。

【0014】

NMOSトランジスタM₁とPMOSトランジスタM₂とは、カスコード接続されたコンプリメンタリー（相互補完）対を構成している。NMOSトランジスタM₁のゲート端子は、PMOSトランジスタM₂のON時に電源電圧V_{dd}と接続され、容量C₁、C_{cut1}を介して増幅回路A₁の出力電圧が帰還されるようになっている。PMOSトランジスタM₂のゲート端子は、NMOSトランジスタM₁のON時にグラウンドと接続され、容量C₁、C_{cut2}を介して増幅回路A₁の出力電圧が帰還されるようになっている。

10

【0015】

発振起動する際は高いトランスコンダクタンスg_mが必要であるので、バイアスリセット信号BRは発振停止時にHigh、バイアスリセット信号バーBRは発振停止時にLowとなっている。したがって、PMOSトランジスタM₂とNMOSトランジスタM₁がON状態となり、NMOSトランジスタM₁とPMOSトランジスタM₂がON状態となる。

【0016】

また、発振停止時には発振許可信号ENがLowとなり、スイッチSW₁、SW₂がOFF状態となる。スイッチSW₁、SW₂としては、例えばNMOSトランジスタを使用することができる。スイッチSW₁となるNMOSトランジスタのゲート端子には発振許可信号ENが入力され、ドレイン端子が電源電圧V_{dd}に接続され、ソース端子がNMOSトランジスタM₁のドレイン端子に接続される。スイッチSW₂となるNMOSトランジスタのゲート端子には発振許可信号ENが入力され、ドレイン端子がPMOSトランジスタM₂のドレイン端子に接続され、ソース端子がグラウンドに接続される。

20

【0017】

一方、発振動作時には、バイアスリセット信号BRがLow、バイアスリセット信号バーBRがHighとなる。したがって、PMOSトランジスタM₂とNMOSトランジスタM₁がOFF状態となる。このOFF状態のとき、PMOSトランジスタM₂は、図3(A)のようにダイオードD₁と抵抗R₁とからなる等価回路で表される。また、NMOSトランジスタM₁は、図3(B)のようにダイオードD₂と抵抗R₂とからなる等価回路で表される。

30

【0018】

すなわち、PMOSトランジスタM₂がOFFの状態では、NMOSトランジスタM₁のゲート電圧V_{gN}は、ダイオードD₁のリーク電流による電圧でバイアスされることになる。同様に、NMOSトランジスタM₁がOFFの状態では、PMOSトランジスタM₂のゲート電圧V_{gP}は、ダイオードD₂のリーク電流による電圧でバイアスされることになる。抵抗R₁はダイオードD₁のリーク電流が流れる抵抗成分を表し、抵抗R₂はダイオードD₂のリーク電流が流れる抵抗成分を表している。

【0019】

PMOSトランジスタM₂を例にとると、ダイオードD₁のリーク電流は、常にNMOSトランジスタM₁のゲート電圧V_{gN}を引き上げて、発振を維持するように働く。大信号により発振が始まると、NMOSトランジスタM₁のゲート端子は、容量C₁、C_{cut1}を介した増幅回路A₁の出力からの帰還によって動的にバイアスされる。ただし、ダイオードD₁により、NMOSトランジスタM₁のゲート電圧V_{gN}は、最高値がV_{th3}+V_{dd}の電圧値にクランプされることになる（V_{th3}はPMOSトランジスタM₂のしきい値電圧）。同様に、ダイオードD₂により、PMOSトランジスタM₂のゲート電圧V_{gP}は、最低値が-V_{th4}の電圧値にクランプされることになる（V_{th4}はNMOSトランジスタM₁のしきい値電圧）。

40

【0020】

50

発振動作時における発振回路（増幅回路 A_1 ）の出力電圧 V_{out} 、NMOSトランジスタ M_1 のゲート電圧 V_{gN} 、PMOSトランジスタ M_2 のゲート電圧 V_{gP} 、NMOSトランジスタ M_1 のゲート - ソース間電圧 V_{gsN} 、PMOSトランジスタ M_2 のゲート - ソース間電圧 V_{gsP} の変動範囲を図4に示す。

また、発振動作時には発振許可信号 EN が $High$ となり、スイッチ SW_1 、 SW_2 が ON 状態となる。

【0021】

発振起動後の発振波形を図5に示す。 I_N はNMOSトランジスタ M_1 のソース電流、 I_P はPMOSトランジスタ M_2 のソース電流である。NMOSトランジスタ M_1 のゲート - ソース間電圧 V_{gsN} とPMOSトランジスタ M_2 のゲート - ソース間電圧 V_{gsP} は、発振起動時（バイアスリセット信号 BAR と発振許可信号 EN が $High$ になったとき）に比較的高い電圧から始まり、その後、発振定常状態で $-V_{th4}$ から V_{th3} の電圧範囲に収まること分かる。したがって、NMOSトランジスタ M_1 とPMOSトランジスタ M_2 を流れる電流は、定常状態では非常に小さくなる。

10

【0022】

図6は、発振定常状態における発振回路の出力電圧 V_{out} 、NMOSトランジスタ M_1 のソース電流 I_N 、およびPMOSトランジスタ M_2 のソース電流 I_P の波形を示す図である。ここでは、 $C_1 = 18 \text{ pF}$ 、 $C_2 = 9 \text{ pF}$ とし、発振回路（増幅回路 A_1 ）の出力端子に接続される負荷の容量を 6 pF とした。

【0023】

比較のため、容量 C_1 、 C_2 と負荷容量を本実施例と同じ値にしたときのピアース発振回路の出力電圧 V_{out0} と、インバータのトランジスタの電流 I_{N10} 、 I_{P10} を図6に示す。図10に示したピアース発振回路のインバータ INV_{10} は、図7に示すようにPMOSトランジスタ M_3 と、NMOSトランジスタ M_4 とから構成される。

20

【0024】

図6から分かるように、ピアース発振回路の電流 I_{N10} 、 I_{P10} に比べ、本実施例の発振回路の電流 I_N 、 I_P は、出力電圧 V_{out} が極値になるタイミングにおいてのみ流れ、また電流量も非常に小さい。したがって、本実施例によれば、発振状態において大幅な低電力化を実現できることが分かる。実際に、本実施例の発振回路の定常状態消費電力 P_{ss} は、ピアース発振回路の定常状態消費電力に比べて約 $1/10$ と小さいことが分かった。

30

【0025】

図8に、本実施例の発振回路と従来のピアース発振回路のそれぞれの位相雑音特性を示す。図8の N_0 はピアース発振回路の位相雑音を示し、 N_1 は本実施例の発振回路の位相雑音を示している。通信機器に重要な発振回路性能である位相雑音は、従来のピアース発振回路と比較すると、発振回路の基本周波数に対するオフセット周波数が 100 Hz までの範囲で約 9 dB 改善されることが分かった。このように、本実施例の発振回路を使うことで、通信機器の低位相雑音化にも貢献できることが明らかとなった。

【0026】

次に、発振回路をより高速で発振起動させ、より低い発振起動エネルギーを実現するために、本実施例では、振動子 X_1 としてランガサイト型圧電単結晶の振動子を用いる。ランガサイト型圧電単結晶は種々あるが、実験では $\text{Ca}_3\text{TaGa}_3\text{Si}_2\text{O}_{14}$ （CTGSと呼ぶ）を用いた振動子を使った。使用したCTGS振動子、ならびに比較のため使用した水晶振動子（Quartz）の等価回路を図9（A）、図9（B）に示す。図9（B）は図9（A）を簡略化した等価回路図である。図9（A）、図9（B）の線 100 より左側は振動子の等価回路を示し、線 100 より右側は発振回路の等価回路を示している。容量 C_1 、インダクタンス L_1 、抵抗 R_1 、容量 C_2 、抵抗 R_2 、 Q 値を表1に示す。

40

【0027】

【表 1】

	CTGS	Quartz
C_L (pF)	6 ($C_1 = 18$ pF, $C_2 = 9$ pF)	
L_m (pF)	1.45	13.2
R_m (mH)	6.2	16.9
C_m (fF)	30	3.6
R_x (Ω)	10.2	24.3
Q	35267	117607

【0028】

振動子 X_1 として CTGS 振動子を用いて実験した結果、本実施例の発振回路の発振起動時間 T_s は 0.37 ms で、発振起動エネルギー E_s は 30 nJ となった。一方、振動子 X_1 として水晶振動子を用いた場合、図 2 の発振回路の発振起動時間 T_s は 3.6 ms、発振起動エネルギー E_s は 320 nJ であった。

【0029】

したがって、振動子 X_1 として CTGS 振動子を用いた場合、水晶振動子を用いた場合よりも約一桁早い発振起動時間を実現することができ、発振起動エネルギーも約一桁小さくすることができ、低消費電力化を実現できることが確認された。

20

【0030】

以上のように、本実施例によれば、高速発振起動を実現することができ、発振起動後の定常発振状態において低消費電力の発振回路を実現することができる。

したがって、本実施例の発振回路を例えば携帯電話機や IoT 機器などの電子機器に適用すれば、低消費電力の電子機器の実現に貢献することができる。

【産業上の利用可能性】

【0031】

本発明は、小型電子機器で用いる発振回路に適用することができる。

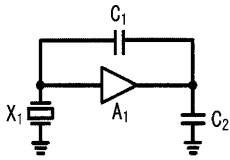
30

【符号の説明】

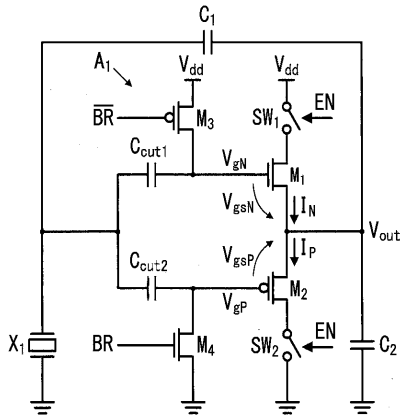
【0032】

A_1 増幅回路、 C_1 , C_2 , C_{out1} , C_{out2} 容量、 $M_1 \sim M_4$ トランジスタ、 SW_1 , SW_2 スイッチ、 X_1 振動子。

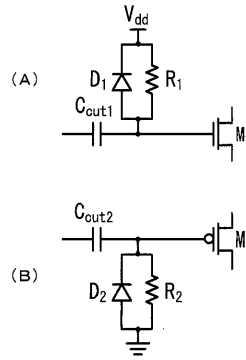
【図1】



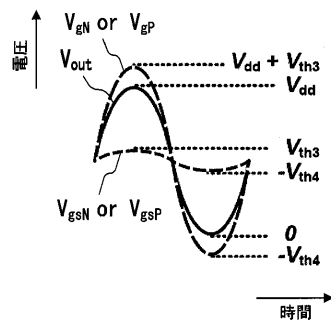
【図2】



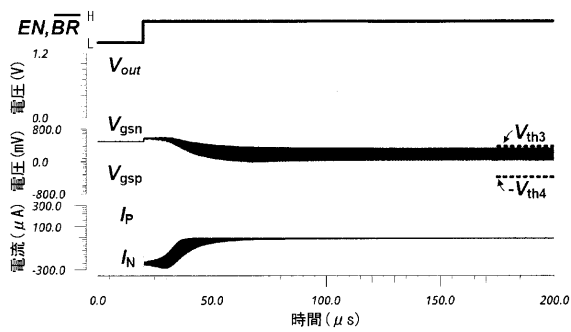
【図3】



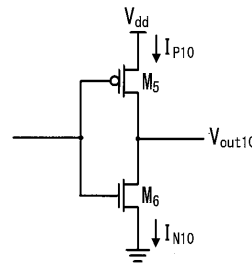
【図4】



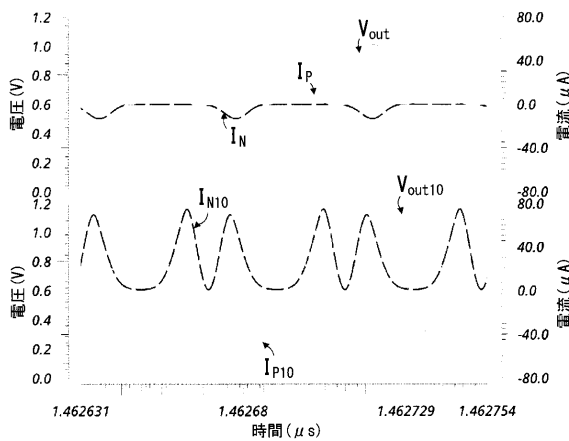
【図5】



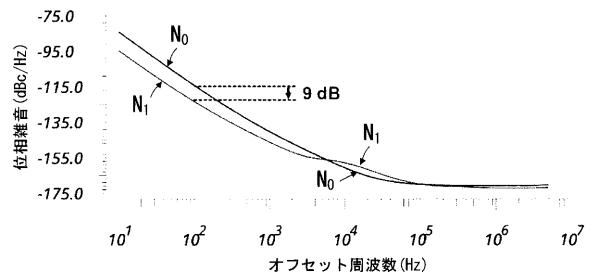
【図7】



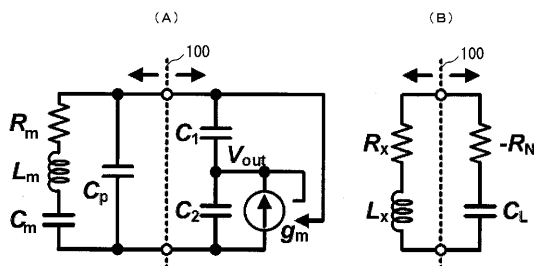
【図6】



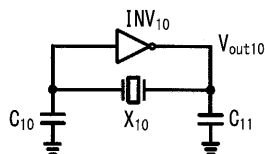
【図8】



【図 9】



【図 10】



10

【手続補正書】

【提出日】令和3年7月8日(2021.7.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一端が接地端子に接続された振動子と、
 一端が前記振動子の他端に接続された第 1 の容量と、
 一端が前記第 1 の容量の他端に接続され、他端が前記接地端子に接続された第 2 の容量と

30

入力端子が前記振動子と前記第 1 の容量との接続点に接続され、出力端子が前記第 1 の容量と前記第 2 の容量との接続点に接続された増幅回路とを備え、

40

前記増幅回路は、

ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に電源端子と接続され、発振停止時に前記電源端子と切り離される第 1 の N 型トランジスタと、
 ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記接地端子と接続され、発振停止時に前記接地端子と切り離される第 1 の P 型トランジスタと、

発振停止時に前記第 1 の N 型トランジスタのゲート端子を電源端子に接続し、発振動作時に前記第 1 の N 型トランジスタのゲート端子と電源端子とを切り離す第 2 の P 型トランジスタと、

発振停止時に前記第 1 の P 型トランジスタのゲート端子を前記接地端子に接続し、発振動作時に前記第 1 の P 型トランジスタのゲート端子と前記接地端子とを切り離す第 2 の N

50

型トランジスタと、

一端が増幅回路の入力端子に接続され、他端が前記第 1 の N 型トランジスタのゲート端子に接続された第 3 の容量と、

一端が増幅回路の入力端子に接続され、他端が前記第 1 の P 型トランジスタのゲート端子に接続された第 4 の容量とを少なくとも含むことを特徴とする発振回路。

【請求項 2】

請求項 1 記載の発振回路において、

前記振動子は、ランガサイト型圧電単結晶の振動子であることを特徴とする発振回路。

【請求項 3】

請求項 1 または 2 記載の発振回路において、

前記増幅回路は、

前記第 1 の N 型トランジスタと、

前記第 1 の P 型トランジスタと、

発振停止時に Low となる第 1 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の N 型トランジスタのゲート端子に接続され、ソース端子が前記電源端子に接続された前記第 2 の P 型トランジスタと、

発振停止時に High となる第 2 のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第 1 の P 型トランジスタのゲート端子に接続され、ソース端子が前記接地端子に接続された前記第 2 の N 型トランジスタと、

前記第 3、第 4 の容量と、

発振停止時に前記第 1 の N 型トランジスタのドレイン端子と前記電源端子とを切り離し、発振動作時に前記第 1 の N 型トランジスタのドレイン端子と前記電源端子とを接続する第 1 のスイッチと、

発振停止時に前記第 1 の P 型トランジスタのドレイン端子と前記接地端子とを切り離し、発振動作時に前記第 1 の P 型トランジスタのドレイン端子と前記接地端子とを接続する第 2 のスイッチとから構成されることを特徴とする発振回路。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の発振回路を備えたことを特徴とする電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明の発振回路は、一端が接地端子に接続された振動子と、一端が前記振動子の他端に接続された第 1 の容量と、一端が前記第 1 の容量の他端に接続され、他端が前記接地端子に接続された第 2 の容量と、入力端子が前記振動子と前記第 1 の容量との接続点に接続され、出力端子が前記第 1 の容量と前記第 2 の容量との接続点に接続された増幅回路とを備え、前記増幅回路は、ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に電源端子と接続され、発振停止時に前記電源端子と切り離される第 1 の N 型トランジスタと、ソース端子が前記出力端子に接続され、ドレイン端子が、発振動作時に前記接地端子と接続され、発振停止時に前記接地端子と切り離される第 1 の P 型トランジスタと、発振停止時に前記第 1 の N 型トランジスタのゲート端子を電源端子に接続し、発振動作時に前記第 1 の N 型トランジスタのゲート端子と電源端子とを切り離す第 2 の P 型トランジスタと、発振停止時に前記第 1 の P 型トランジスタのゲート端子を前記接地端子に接続し、発振動作時に前記第 1 の P 型トランジスタのゲート端子と前記接地端子とを切り離す第 2 の N 型トランジスタと、一端が増幅回路の入力端子に接続され、他端が前記第 1 の N 型トランジスタのゲート端子に接続された第 3 の容量と、一端が増幅回路の入力端子に接続され、他端が前記第 1 の P 型トランジスタのゲート端子に接続された第 4 の容量とを少なくとも含むことを特徴とするものである。

10

20

30

40

50

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

また、本発明の発振回路の1構成例において、前記振動子は、ランガサイト型圧電単結晶の振動子である。

また、本発明の発振回路の1構成例において、前記増幅回路は、前記第1のN型トランジスタと、前記第1のP型トランジスタと、発振停止時にLowとなる第1のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のN型トランジスタのゲート端子に接続され、ソース端子が前記電源端子に接続された前記第2のP型トランジスタと、発振停止時にHighとなる第2のバイアスリセット信号がゲート端子に入力され、ドレイン端子が前記第1のP型トランジスタのゲート端子に接続され、ソース端子が前記接地端子に接続された前記第2のN型トランジスタと、前記第3、第4の容量と、発振停止時に前記第1のN型トランジスタのドレイン端子と前記電源端子電圧とを切り離し、発振動作時に前記第1のN型トランジスタのドレイン端子と前記電源端子とを接続する第1のスイッチと、発振停止時に前記第1のP型トランジスタのドレイン端子と前記接地端子とを切り離し、発振動作時に前記第1のP型トランジスタのドレイン端子と前記接地端子とを接続する第2のスイッチとから構成されることを特徴とするものである。

また、本発明の電子機器は、上記の発振回路を備えたことを特徴とするものである。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

このコルピッツ発振回路を基に、増幅器を低消費電力化した本実施例の発振回路を図2に示す。本実施例の発振回路は、振動子 X_1 と、振動子 X_1 に直列に接続された容量 C_1 、 C_2 と、入力端子が振動子 X_1 と容量 C_1 との接続点に接続され、出力端子が容量 C_1 と容量 C_2 との接続点に接続された増幅回路 A_1 とを備えている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

NMOSトランジスタ M_1 のゲート端子は、PMOSトランジスタ M_3 のON時に電源電圧 V_{dd} と接続され、容量 C_1 、 C_{cut1} を介して増幅回路 A_1 の出力電圧が帰還されるようになっている。PMOSトランジスタ M_2 のゲート端子は、NMOSトランジスタ M_4 のON時にグラウンドと接続され、容量 C_1 、 C_{cut2} を介して増幅回路 A_1 の出力電圧が帰還されるようになっている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

【表 1】

	CTGS	Quartz
C_L (pF)	6 ($C_1 = 18$ pF, $C_2 = 9$ pF)	
L_m (mH)	1.45	13.2
R_m (Ω)	6.2	16.9
C_m (fF)	30	3.6
R_x (Ω)	10.2	24.3
Q	35267	117607

フロントページの続き

(72)発明者 木村 悟利

宮城県仙台市青葉区一番町一丁目4番1号 株式会社Piezo Studio内

Fターム(参考) 5J079 AA03 BA22 BA41 EA11 EA18 FA05 FA14 FB03 GA04 GA09 JA06